

DRIVING METHOD OF PLASMA DISPLAY PANEL

Publication number: JP2002189443

Publication date: 2002-07-05

Inventor: TAKAYAMA KUNIO

Applicant: FUJITSU LTD

Classification:

- international: G09G3/20; G09G3/28; G09G3/20;
G09G3/28; (IPC1-7): G09G3/28; G09G3/20

- European:

Application number: JP20000386310 20001220

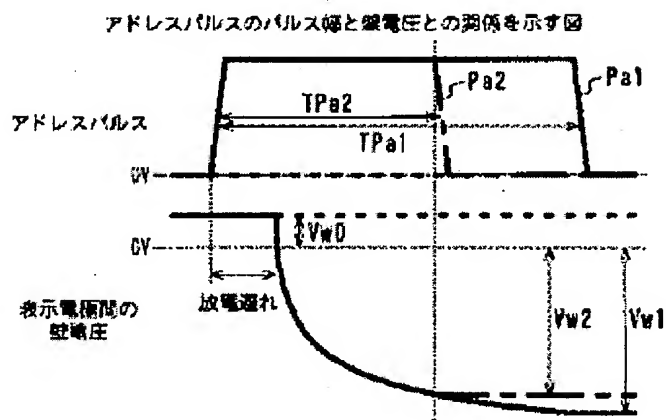
Priority number(s): JP20000386310 20001220

Report a data error here

Abstract of JP2002189443

PROBLEM TO BE SOLVED: To achieve stable multilevel display.

SOLUTION: Pulse widths Tpa1 and Tpa2 of address pluses Pa1 and Pa2 which are applied to a cell group to generate address discharge are switched to conduct multivalue control of wall electric charge amounts Vw0, Vw1 and Vw2. Then, the value of a maintaining voltage is varied while conducting the process of turn-on maintaining in which a maintaining voltage is periodically applied to the cells to generate display discharge.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-189443

(P2002-189443A)

(43) 公開日 平成14年7月5日 (2002.7.5)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 9 G 3/28		C 0 9 G 3/20	6 2 3 C 5 C 0 8 0
3/20	6 2 3		6 2 4 M
	6 2 4		6 4 1 E
	6 4 1		6 4 2 C
	6 4 2	3/28	E

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-386310 (P2000-386310)

(22) 出願日 平成12年12月20日 (2000. 12. 20)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 高山 邦夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100086933

弁理士 久保 幸雄

Fターム(参考) 5C080 AA05 BB05 CC03 DD03 EE29

HH02 HH04 HH05 JJ02 JJ03

JJ04 JJ06

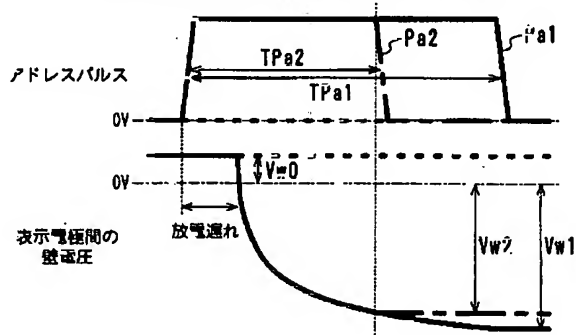
(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 安定した多階調表示を実現することを目的とする。

【解決手段】 アドレス放電を生じさせるためにセル群に印加するアドレスパルス $Pa1$ 、 $Pa2$ のパルス幅 $TPa1$ 、 $TPa2$ を切り換え、それによって壁電荷量 $Vw0$ 、 $Vw1$ 、 $Vw2$ の多値制御を行う。その後、表示放電を生じさせるために周期的に維持電圧をセルに印加する点灯維持の途中で維持電圧の値を変更する。

アドレスパルスのパルス幅と壁電圧との関係を示す図



【特許請求の範囲】

【請求項1】表示面を構成するセル群の壁電荷量を表示データに従って制御するアドレッシングと、前記セル群に放電開始電圧より低い維持電圧を周期的に印加する点灯維持とを順に行うプラズマディスプレイパネルの駆動方法であって、

前記アドレッシングにおいて、アドレス放電を生じさせるために前記セル群に印加するアドレスパルスのパルス幅を切り換えることによって、壁電荷量の多値制御を行う、

前記点灯維持の途中で前記維持電圧の値を変更することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】フレームを輝度の重み付けをした複数のサブフレームで構成し、サブフレーム毎にアドレス期間と表示期間とを割り当て、前記アドレス期間では表示面を構成するセル群の壁電荷量を表示データに従って制御するアドレッシングを行い、前記表示期間では前記セル群に放電開始電圧より低い維持電圧を周期的に印加する点灯維持を行うプラズマディスプレイパネルの駆動方法であって、

少なくとも1つのサブフレームのアドレッシングにおいて、アドレス放電を生じさせるために前記セル群に印加するアドレスパルスのパルス幅を切り換えることによって壁電荷量の多値制御を行うとともに、当該サブフレームの点灯維持の途中で前記維持電圧の値を変更することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項3】表示面を構成するセル群の壁電荷量を表示データに従って制御するアドレッシングと、前記セル群に放電開始電圧より低い維持電圧を周期的に印加する点灯維持とを順に行うプラズマディスプレイパネルの駆動方法であって、

第1および第2の表示モードを設け、

前記第1の表示モードにおいては、前記アドレッシングに際して、アドレス放電を生じさせるために前記セル群に印加するアドレスパルスのパルス幅を切り換えることによって壁電荷量の多値制御を行うとともに、前記点灯維持の途中で前記維持電圧の値を変更し、

前記第2の表示モードにおいては、前記アドレッシングに際して前記セル群に一定パルス幅のアドレスパルスを印加して壁電荷量の2値制御を行うとともに、前記点灯維持に際して前記セル群に一定の維持電圧を周期的に印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項4】フレームの内容に応じて、前記第1および第2の表示モードの一方を選択する請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項5】モード指定操作に従って、前記第1および第2の表示モードの一方を選択する請求項3記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AC型のプラズマディスプレイパネル（以下、PDPという）の駆動方法に関する。

【0002】PDPは、2値発光セルからなるデジタル表示デバイスであってデジタルデータの表示に好適であることから、マルチメディアモニターとして注目されている。PDPの用途拡大に向けて、より明るく多階調の表示が可能な駆動方法の開発が進められている。

【0003】

【従来の技術】AC型のPDPによる表示では、マトリクス配列されたセルのうちの点灯すべきセルのみに適量の壁電荷を存在させるアドレッシングを行い、その後に壁電荷を利用して輝度に応じた回数の表示放電を生じさせる点灯維持を行う。セルが2値発光素子であるので、中間調は1フレームを輝度の重み付けをした複数のサブフレーム（インタレース表示の場合はサブフィールド）に分割する手法によって再現される。例えば256階調の表示をするには輝度の重みがそれぞれ1、2、4、8、16、32、64、128の8個のサブフレームにフレームを分割すればよい。個々のセルについて、それが表示すべき階調に応じてサブフレーム単位の点灯／非点灯の組合せを決める。そして、サブフレーム毎にアドレッシングと点灯維持とを行う。

【0004】従来の典型的な駆動方法では、重みが1のサブフレームなら階調「1」、重みが2のサブフレームなら階調「2」というように、1つのサブフレームに1つの階調（非点灯の「0」を除く）のみが対応する。つまり、1回のアドレッシングで表現できる階調は1つである。このことは次の問題を抱えている。アドレッシングの所要時間は表示面の行数（垂直方向の解像度）に比例するので、解像度が大きくなるにつれてフレーム期間のうちの点灯維持に割り当て可能な時間が短くなり、表示が暗くなる。輝度を確保するためにアドレッシングの回数（すなわちサブフレーム数）を減らすと、表現可能な階調数が減少する。

【0005】これに対して、特開平9-81073号公報に記載された駆動方法では、1つのサブフレームに複数の階調が対応し、1回のアドレッシングで表現可能な階調が複数である。この従来の駆動方法は、アドレッシングに際してアドレス放電を生じさせるためにセルに印加する電圧を、表現したい階調に応じて切り換えるものである。印加電圧の切換えによってアドレス放電の強度を制御し、点灯すべきセルに残存する壁電荷の量を多くしたり少なくしたりする。点灯すべきセル以外には基本的に壁電荷を残存させない。そして、アドレッシングに続けて行う点灯維持において、表示放電を生じさせるためにセルに印加する維持電圧を段階的に増大させる。アドレッシングで相対的に多くの壁電荷を残存させた場合は、維持電圧が低い段階で表示放電が生じ、その後には維

持電圧が高くなっても表示放電が生じる。つまり、点灯維持を行う期間中の表示放電の回数が多いので、表示輝度は相対的に高い。一方、アドレッシングで相対的に少ない壁電荷を残存させた場合は、維持電圧がある程度高くなるまで表示放電が生じないので、表示放電の回数が少なく表示輝度は相対的に低い。

【0006】

【発明が解決しようとする課題】印加電圧の切換えによって壁電荷量の多値制御を行う従来の駆動方法では、表示の安定が難しいという問題があった。印加電圧を低くするとアドレス放電が生じないので、必然的に2値制御の場合よりも高い電圧を印加しなければならない。しかし、印加電圧を高くすると、隣接セルどうしの放電クロストークが生じ易くなり、アドレッシングの信頼性が低下する。また、高耐圧の高価な回路部品が必要になる。このように印加電圧の許容範囲が限られ、印加電圧を大幅に変更することができないので、印加電圧の切換えによる壁電荷の増減は僅かであり且つ不確実である。したがって、維持電圧の許容範囲（電圧マージン）が狭く、セル間の放電特性のばらつきや、電源電圧変動の影響を受け易い。また、従来の駆動方法には、安定性の問題に加えて、電源点数の増加に伴う駆動回路の大型化および高価格化の問題もあった。

【0007】本発明は、安定した多階調表示を実現することを目的としている。

【0008】

【課題を解決するための手段】本発明においては、表示面を構成するセル群の壁電荷量を表示データに従って制御するアドレッシングに際して、アドレス放電を生じさせるためにセル群に印加するアドレスパルスのパルス幅を切り換える。パルス幅の切換えによって、壁電荷量の多値制御を行う。その後、表示放電を生じさせるために周期的に維持電圧をセルに印加する点灯維持の途中で、維持電圧の値を変更する。これにより、表示放電を維持電圧の印加毎に毎回生じさせたり、印加回数よりも少ない回数だけ生じさせたり、全く生じさせなかったりすることができる。アドレスパルスの振幅については、放電ミスおよびクロストークの生じない最適値に設定すればよく、振幅の切換えよりも確実に壁電荷量を制御することができる。

【0009】例えば、書込み形式のアドレッシングにおいて、壁電荷量の3値制御を行う。この場合のパルス幅は、0（パルスを印加しない）・短い・長い3段階である。図1のように、パルス幅TPa1が長いアドレスパルスPa1を印加したときには、印加電圧による空間電荷の静電吸引が長く続くので、壁電荷の蓄積量が相対的に多い。したがって、表示電極間に生じる壁電圧Vw1は高い。パルス幅TPa2が短いアドレスパルスPa2を印加したときには、静電吸引が早期に打ち切られるので、表示電極間に生じる壁電圧Vw2は壁電圧Vw1

よりも低い（ $|Vw2| < |Vw1|$ ）。アドレスパルスを印加しないときには、アドレス放電が生じないので、印加期間の開始時点の壁電圧Vw0がほぼそのまま保持される（ $|Vw0| < |Vw2|$ ）。アドレッシングに続く点灯維持においては、第1の維持電圧（Vs1）を印加した後に第2の維持電圧（Vs2）を印加する。電圧値の関係は $|Vs1| < |Vs2|$ である。表示放電は、セル電圧と称される壁電圧Vwと維持電圧Vsとの和が表示電極間の放電開始電圧Vfを越える場合に起こる。したがって、次の3つの条件を満たせば、点灯形態は非点灯を含めて3つとなる。

【0010】

非点灯条件： $|Vw0| + |Vs2| < Vf$

A点灯条件： $Vf < |Vw1| + |Vs1|$

B点灯条件： $|Vw2| + |Vs1| < Vf < |Vw2| + |Vs2|$

“A点灯”とは維持電圧の印加毎に表示放電を生じさせる点灯維持形態を意味し、“B点灯”とは維持電圧の印加回数より少ない回数の表示放電を生じさせる点灯維持形態を意味する。図2は典型的なPDPで実測されたパルス幅TPaと最小維持電圧Vs（min）との関係を示している。パルス幅TPaを0.8μsとしたときには、170ボルト以上の維持電圧を印加しないと表示放電が生じないが、1.2μsとしたときには、146ボルトの維持電圧を印加すれば表示放電が生じる。つまり、維持電圧Vs2を維持電圧Vs1より約20ボルト高くすればよい。

【0011】フレームを複数のサブフレームに分割する階調表示に際して、サブフレーム毎のアドレッシングにおいて壁電荷量の多値制御を行うことにより、2値制御を行う場合と比べて多階調表示が大幅に容易となる。例えば、2値制御において8つのサブフレームが必要である256階調の表示が、3値制御であれば6つのサブフレームで実現することができる。各サブフレームの輝度の重みを（i, j）のように表すと、6つのサブフレームに対して単純に3の累乗系列の重み付けを行う場合の重み集合は{(1, 2), (3, 6), (9, 18), (27, 54), (81, 162), (243, 486)}である。iはB点灯の場合における輝度の重みを表し、jはA点灯の場合における輝度の重みを表す。1回のアドレッシングではi, jのどちらかが選択されるので、階調数は3⁶（=729）より少ない。これは重み付けが冗長性をもつことを意味する。冗長性は、偽輪郭やフリッカを防止するための発光時間分布の最適化に有用である。

【0012】多値制御を複数のサブフレームの全てにおいて行う必要はない。サブフレーム単位で多値制御と2値制御とを選択することができる。1フレームにおいて多値制御を行うサブフレームと2値制御を行うサブフレームとが混在してもよい。

【0013】

【発明の実施の形態】図3は本発明に係る表示装置の構成図である。表示装置100は、 $m \times n$ 個のセルからなる表示面を有したカラー表示の可能な面放電型のPDP1と、セルの発光を制御するドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。表示装置100には2つの表示モードが設けられている。第1の表示モードは、少なくとも1つのサブフレームに対するアドレッシングにおいて“3値制御”を行うものである。第2の表示モードは全てのサブフレームに対するアドレッシングにおいて“2値制御”を行うものである。

【0014】PDP1では、表示放電を生じさせるための電極対を構成する表示電極X、Yが平行配置され、これら表示電極X、Yと交差するようにアドレス電極Aが配列されている。表示電極X、Yは画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。

【0015】ドライブユニット70は、ドライバ制御回路71、データ変換回路72、電源回路73、Xドライバ81、Yドライバ84、Aドライバ88、およびモードスイッチ76を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示すフレームデータDfが各種の同期信号とともに入力される。フレームデータDfはデータ変換回路72の中のフレームメモリに一時的に記憶される。データ変換回路72は、フレームデータDfを階調表示のためのサブフレームデータDs fに変換してAドライバ88へシリアル転送する。サブフレームデータDs fは1セル当たり“2”ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるアドレスパルスのパルス幅を規定する。Xドライバ81は、表示電極Xに初期化のためのパルスを印加するリセット回路82、および表示電極Xにサステインパルスを印加するサステイン回路83からなる。なお、パルスの印加とは、電極を一時的に所定電位にバイアスすることを意味する。Yドライバ84は、表示電極Yに初期化のためのパルスを印加するリセット回路85、アドレッシングにおいて表示電極Yにスキャンパルスを印加するスキャン回路86、および表示電極Yにサステインパルスを印加するサステイン回路87からなる。Aドライバ88は、サブフレームデータDs fが指定するアドレス電極Aにアドレスパルスを印加する。Aドライバ88では、シフトレジスタ89およびラッチ回路90によって1行分のサブフレームデータDs fのシリアル/パラレル変換が行われ、出力回路91によってm本のアドレス電極Aの電位が一斉に制御される。これらのドライバには、電源回路73から図示しない配線を介して駆動電力が供給される。

【0016】ドライバ制御回路71は、表示モードに応じて、パルスの印加およびサブフレームデータDs fの転送を制御する。ドライバ制御回路71のモード設定部711には、モードスイッチ76からユーザーの指定した動作が伝えられる。ユーザーは、第1の表示モード、第2の表示モード、または自動モード設定を指定することができる。自動モード設定が指定された場合、モード設定部711はフレームデータDfを取り込んで画像情報を識別し、その結果に応じてモードを設定する。大多数の画像には階調再現に有利な第1の表示モードが適用され、色数が極端に少ない画像に第2の表示モードが適用される。

【0017】図4はPDPのセル構造の一例を示す図である。PDP1は一对の基板構体（基板上にセル構成要素を設けた構造体）10、20からなる。前面側のガラス基板11の内面に、 n 行 m 列の表示面ESの各行に一つずつ表示電極X、Yが配置されている。表示電極X、Yは、面放電ギャップを形成する透明導電膜41とその端縁部に重ねられた金属膜42とからなり、誘電体層17および保護膜18で被覆されている。背面側のガラス基板21の内面に1列に1本ずつアドレス電極Aが配列されており、これらアドレス電極Aは誘電体層24で被覆されている。誘電体層24の上に放電空間を列毎に区画する隔壁29が設けられている。隔壁パターンはストライプパターンである。誘電体層24の表面および隔壁29の側面を被覆する蛍光体層28R、28G、28Bは、放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体文字（R、G、B）は蛍光体の発光色を示す。色配列は各列のセルを同色とするR、G、Bの繰り返しパターンである。

【0018】以下、表示装置100におけるPDP1の駆動方法を説明する。図5はフレーム分割の概念図である。PDP1による表示では、点灯/非点灯の組合せの選択によってカラー再現を行うために、入力画像である時系列のフレームFを所定数 q のサブフレームSFに分割する。つまり、各フレームFを q 個のサブフレームSFの集合に置き換える。これらサブフレームSFに順に $W_1, W_2, W_3, \dots, W_q$ の重みを付与して各サブフレームSFの表示放電の回数を設定する。図ではサブフレーム配列が重みの順であるが、他の順序であってもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間Tfを q 個のサブフレーム期間Ts fに分割し、各サブフレームSFに1つのサブフレーム期間Ts fを割り当てる。さらに、サブフレーム期間Ts fを、初期化のためのリセット期間TR、アドレッシングのためのアドレス期間TA、および点灯維持のための表示期間TSに分ける。リセット期間TRおよびアドレス期間TAの長さが重みに係わらず一定であるのに対し、表示期間TSの長さは重みが大いほど長い。したがって、サブフレーム期間Ts fの長さも、該当する

サブフレームSFの重みが大きいほど長い。

【0019】具体的には、フレームFを6個のサブフレームSFに分割し、これらサブフレームSFに順に(1, 2), (3, 6), (7, 13), (9, 18), (27, 54), (81, 162)の重みを付与して256階調表示を行う。この重み集合は、3の累乗系列を改良したものである。ここで、表示面の行数(走査線数)を1000とし、走査周期を1.5 μ sとすると、約16.7msのフレーム期間Tfにおけるアドレッシングの所要時間は9ms(=1.5 μ s \times 1000 \times 6)である。初期化が十分に短いとすると、点灯維持に割り当て可能な時間は7.7msとなる。全ての表示期間TSにおいて5 μ sの間隔で維持電圧を印加する場合、輝度が単純に放電回数に比例するとみなすと、1階調当たりの放電回数は6.0(=9ms/5 μ s/255)となる。この値は、2値制御のアドレッシングで256階調を表現する8サブフレーム構成の場合の値(3.7)に対して1.62倍である。つまり、3値制御のアドレッシングは、高解像度でかつ高輝度の表示を行うのに有用である。

【0020】図6は駆動シーケンスの概要を示す電圧波形図、図7はアドレス期間の印加電圧波形図、図8は表示期間の印加電圧およびセル電圧の波形図である。図において表示電極X、Yの参照符号の添字(1~n)は対応する行の配列順位を示し、アドレス電極Aの参照符号の添字(1~m)は対応する列の配列順位を示す。なお、図示の波形は一例であり、振幅・極性・タイミングを種々変更することができる。

【0021】リセット期間TR・アドレス期間TA・表示期間TSの順序はq個のサブフレームSFにおいて共通であり、駆動シーケンスはサブフレーム毎に繰り返される。各サブフレームSFのリセット期間TRにおいては、全ての表示電極Xに対して負極性のパルスPrx1と正極性のパルスPrx2とを順に印加し、全ての表示電極Yに対して正極性のパルスPry1と負極性のパルスPry2とを順に印加する。パルスPrx1, Prx2, Pry1, Pry2は微小放電を生じさせるランプ波形パルスである。最初に印加されるパルスPrx1, Pry1は、前サブフレームにおける点灯/非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルスPrx2, Pry2を印加することにより、壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。本例における初期化(電荷の均等化)は、全てのセルの壁電荷を消失させて壁電圧をほぼ零にするものである。なお、表示電極X、Yの片方のみパルスを印加して初期化を行うことができるが、図示のように表示電極X、Yの双方に互いに反対極性のパルスを印加することによりドライバ回路素子の低耐圧化を図ることができる。セルに対する印加電圧は、表示電極

X、Yに印加されるパルスの振幅を加算した合成電圧である。

【0022】アドレス期間TAにおいては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極Xおよび全ての表示電極Yを所定電位Vxa, Vyaにバイアスした状態で、行選択期間(走査周期)毎に選択行に対応した1つの表示電極Yに負極性のスキャンパルスPyを印加する。スキャンパルスPyの印加によって表示電極Yは一時的に電位Vyにバイアスされる。第1の表示モードにおいては、スキャンパルスPyの印加による行選択と同時に、アドレス放電を生じさせるべき選択セルに対応したアドレス電極AのみにアドレスパルスPa1またはアドレスパルスPa2を印加する。第2の表示モードにおいてはアドレスパルスPa1を印加する。第1の表示モードにおいて、どちらのアドレスパルスを印加するかは、該当サブフレームに係る2個の輝度の重みのどちらを選択するかによって決まり、サブフレームデータDsfの生成時点で確定している。したがって、1つのアドレス期間TAに注目すると、パルスを印加するか否かの2値制御である。選択セルでは表示電極Yとアドレス電極Aとの間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。これら一連の放電がアドレス放電である。アドレス放電によって誘電体層17に壁電荷が形成され、図1で説明したようにパルス幅に応じた壁電圧が表示電極間で発生する。

【0023】第1の表示モードでは表示期間TSが前半TS1と後半TS2とに分かれる。前半TS1においては、振幅Vs1の正極性のサステインパルスPs1を、表示電極Yと表示電極Xとに対して交互に印加する。前半TS1においてセル電圧が放電開始電圧Vfを超えるのは、図8のようにA点灯セルのみである。A点灯セルのみで表示放電が生じる。つまり、直前のアドレッシングでパルス幅の長いアドレスパルスPa1が印加されたセルで表示放電が生じる。後半TS2においては、振幅Vs2の正極性のサステインパルスPs2を、表示電極Yと表示電極Xとに対して交互に印加する。後半TS2においてはA点灯セルでもB点灯セルでも表示放電が生じる。つまり、直前のアドレッシングでパルス幅の短いアドレスパルスPa2が印加されたセルでも表示放電が生じる。表示放電の回数が多いほど放電発光量の総和が大きいので、B点灯よりもA点灯の方が明るく見える。A点灯とB点灯との輝度の比率は、前半TS1および後半TS2のパルス数の設定に依存する。なお、表示期間TSにわたって不要の放電を防止するためにアドレス電極AをサステインパルスPs1, Ps2と同極性の電位にバイアスする。そのバイアス電圧Vas1, Vas2の典型的な値は維持電圧Vs1, Vs2の1/2程度であるが、これに限るものではない。第2の表示モードの場合は、表示期間TSにおいて、サステインパルスPs1を表示電極Yと表示電極Xとに交互に印加する。

【0024】アドレス期間TAおよび表示期間TSにおける印加電圧の具体例は次のとおりである。

Va: 70ボルト
 Vxa: 80ボルト
 Vya: -80ボルト
 Vy: -170ボルト
 Vs1: 155ボルト
 Vs2: 175ボルト

これらは図2の実測値に基づく値である。

【0025】図9はAドライバの回路構成の第1例を示す図、図10はAドライバの回路構成の第2例を示す図である。これらの図は、表示面の1列分の回路構成を示している。

【0026】図9の例において、シフトレジスタ89には1セル当たり2ビットのサブフィールドデータDsfが走査周期毎に1行分ずつ入力される。シフトレジスタ89は計2m個のDフリップフロップで構成され、それらのうちのDフリップフロップ891、892の出力をラッチしたビットデータD1、D2が1つの列の表示データとして出力回路91へ送られる。ビットデータD1、D2とアドレスパルスの幅との関係は表1のとおりである。

【0027】

【表1】

D1	D2	パルス幅
0	0	0
1	0	短い(Pa2)
0	1	長い(Pa1)

【0028】出力回路91は、ビットデータD2のアクティブ期間を延長するパルス幅伸長回路910、アドレス電極Aが接続される出力端子と電位Vaの電源ラインとの導通路を開閉するスイッチ911、912、および出力端子と接地ラインとの導通路を開閉するスイッチ913を有する。ビットデータD1およびパルス幅伸長回路910を経たビットデータD2'の一方又は両方が「1」のときは出力端子が電位Vaにバイアスされ、ビットデータD1、D2'の両方が「0」のときは出力端子が接地される。

【0029】図10の例においては、ラッチ回路90から出力回路91bへ、1つの列の表示データとしてビットデータD1b、D2bが送られる。ビットデータD1b、D2bとアドレスパルスの幅との関係は表2のとおりである。

【0030】

【表2】

D1b	D2b	パルス幅
0	0	0
1	0	短い(Pa2)
1	1	長い(Pa1)

【0031】出力回路91bにはビットデータD2bを

遅延させるディレイ回路914が設けられている。ビットデータD1bおよびディレイ回路914を経たビットデータD2b'の一方又は両方が「1」のときは出力端子が電位Vaにバイアスされ、ビットデータD1b、D2b'の両方が「0」のときは出力端子が接地される。

【0032】図11はサステイン回路の第1例を示す図、図12はサステイン回路の第2例を示す図である。サステイン回路83、87の構成は同様であるので、ここでは代表として表示電極Yに係るサステイン回路87の構成を説明する。

【0033】図11が示すサステイン回路87は、表示電極Yを電位Vs1にバイアスするためのスイッチ回路871、表示電極Yを電位Vs2にバイアスするためのスイッチ回路872、接地のためのスイッチ回路873、および表示電極間の静電容量による電力ロスを低減する電力回収回路874を有する。表示期間TSの前半TS1ではスイッチ回路871、873の開閉制御によってサステインパルスPs1の印加が行われ、後半TS2ではスイッチ回路872、873の開閉制御によってサステインパルスPs2の印加が行われる。

【0034】図12が示すサステイン回路87bは、表示電極Yをバイアスするためのスイッチ回路875、バイアス電位を切り換えるためのスイッチ回路876、接地のためのスイッチ回路873、および電力回収回路874を有する。スイッチ回路876のトランジスタQ5のオン（閉）により、コンデンサの一端が接地電位となり、コンデンサの端子電圧がVs1となる。この状態でスイッチ回路875が閉じると、表示電極Yは電位Vs1にバイアスされる。トランジスタQ5に代わってトランジスタQ6がオンになると、接地電位であったコンデンサの一端が電位 $\Delta V_s (=V_{s2} - V_{s1})$ にバイアスされ、コンデンサの他端の電位がVs2 ($=V_{s2} - V_{s1} + V_{s1}$)に上昇する。この状態でスイッチ回路875が閉じると、表示電極Yは電位Vs2にバイアスされる。図12の例は、サステインパルスPs2を印加するのに必要な電源ラインの電位がVs2よりも低くてよいので、駆動回路の低耐圧化の上で有利である。

【0035】以上の実施形態において、図13(A)～(C)のように表示期間の途中でそれ以前のサステインパルスPs1に代えてサステインパルスPs2を1回または複数回印加し、その後に再びサステインパルスPs1を印加してもよい。サステインパルスPs2の印加によって壁電荷が十分に増大すれば、その後はサステインパルスPs1によって表示放電を生じさせることができる。印加電圧を低くすることにより、消費電力が減少して発光効率が増大する。

【0036】アドレッシングにおいて、壁電荷量について4値以上の多値制御を行うことも可能である。第1の表示モードにおいて、1フレームを構成する全てのサブフレームについて多値制御を行う必要はなく、1以上の

サブフレームで多値制御を行うことにより、それ相応の効果がある。

【0037】

【発明の効果】請求項1乃至請求項5の発明によれば、電圧制御による多値のアドレッシングを行う場合と比べて安定した多階調表示を実現することができる。

【図面の簡単な説明】

【図1】アドレスパルスのパルス幅と壁電圧との関係を示す図である。

【図2】アドレスパルスのパルス幅と最小維持電圧との関係を示すグラフである。

【図3】本発明に係る表示装置の構成図である。

【図4】PDPのセル構造の一例を示す図である。

【図5】フレーム分割の概念図である。

【図6】駆動シーケンスの概要を示す電圧波形図である。

【図7】アドレス期間の印加電圧波形図である。

【図8】表示期間の印加電圧およびセル電圧の波形図である。

【図9】Aドライバの回路構成の第1例を示す図である。

【図10】Aドライバの回路構成の第2例を示す図である。

【図11】サステイン回路の第1例を示す図である。

【図12】サステイン回路の第2例を示す図である。

【図13】表示期間の印加電圧波形の変形例を示す図である。

【符号の説明】

1 PDP（プラズマディスプレイパネル）

ES 表示面

Vw1, Vw2 壁電圧

Df フレームデータ（表示データ）

Vf 放電開始電圧

Vs1, Vs2 維持電圧

Pa1, Pa2 アドレスパルス

TPa1, TPa2 パルス幅

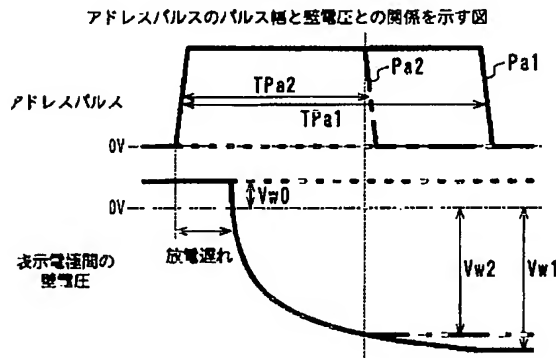
F フレーム

SF サブフレーム

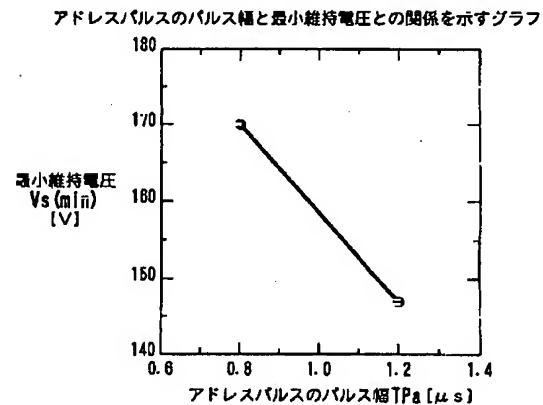
TS 表示期間

TA アドレス期間

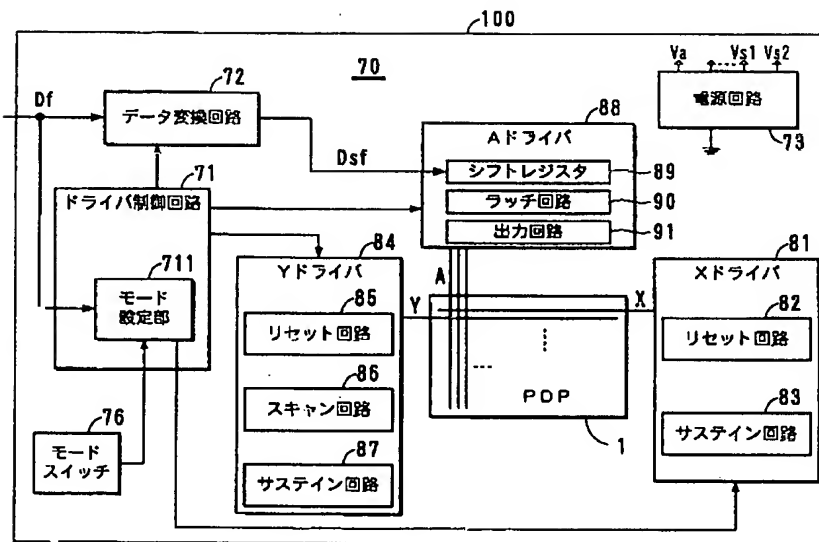
【図1】



【図2】



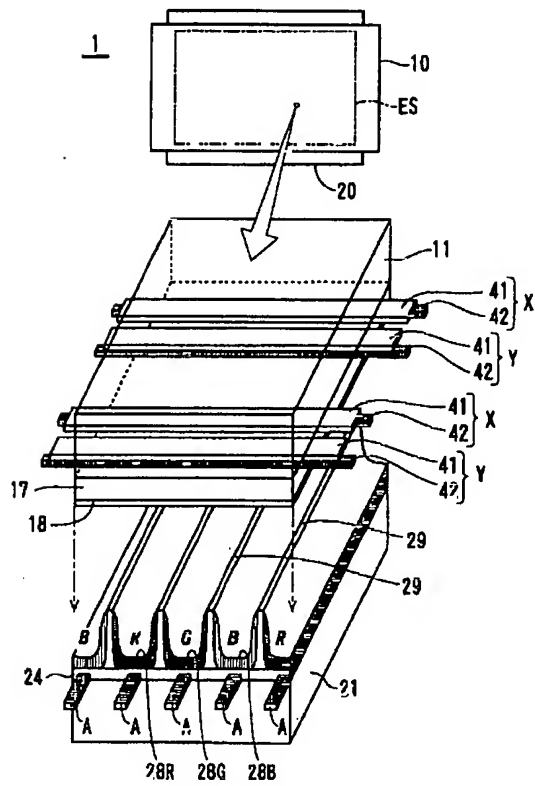
【図3】



本発明に係る表示装置の構成図

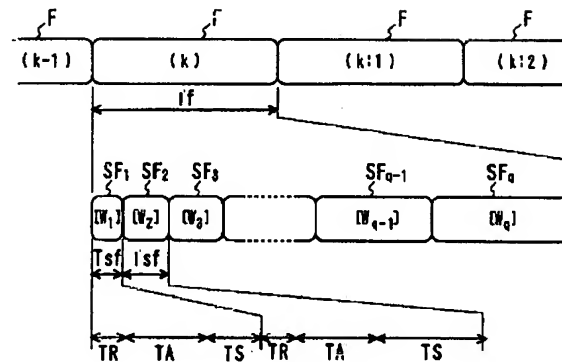
【図4】

PDPのセル構造を示す図



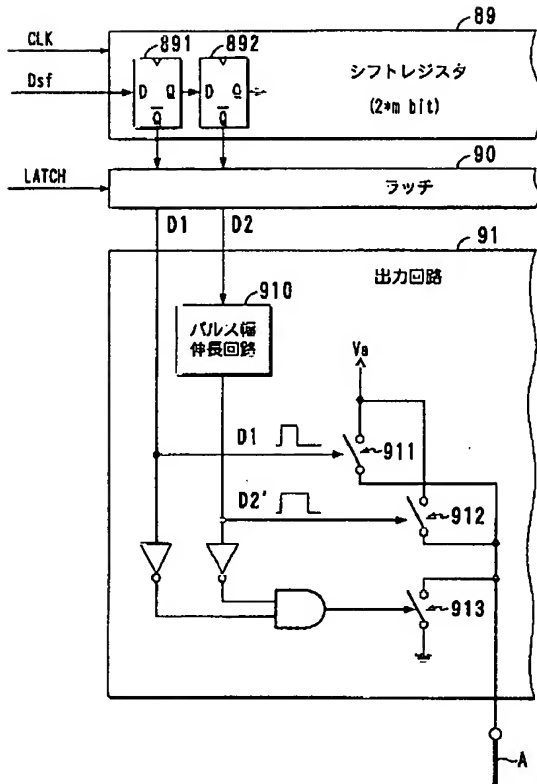
【図5】

フレーム分割の概念図



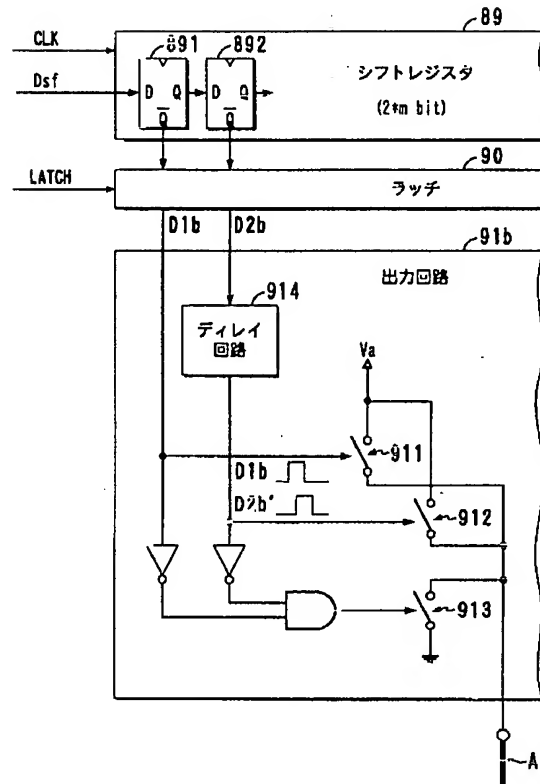
【図9】

Aドライバの回路構成の第1例を示す図



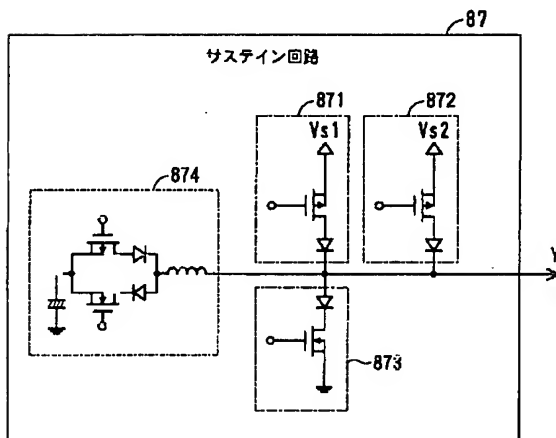
【図10】

Aドライバの回路構成の第2例を示す図



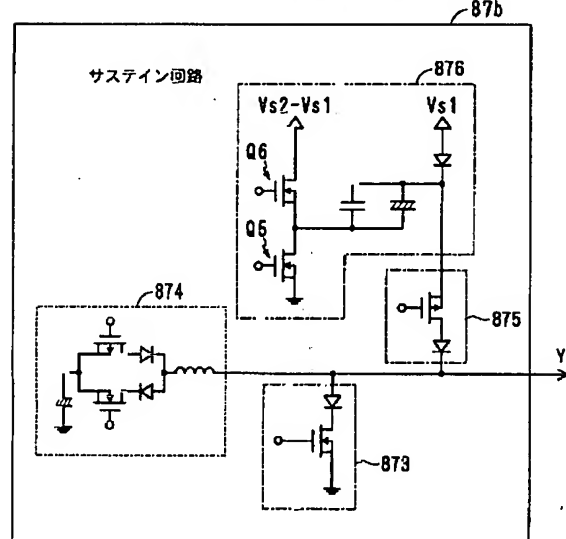
【図11】

サステイン回路の第1例を示す図



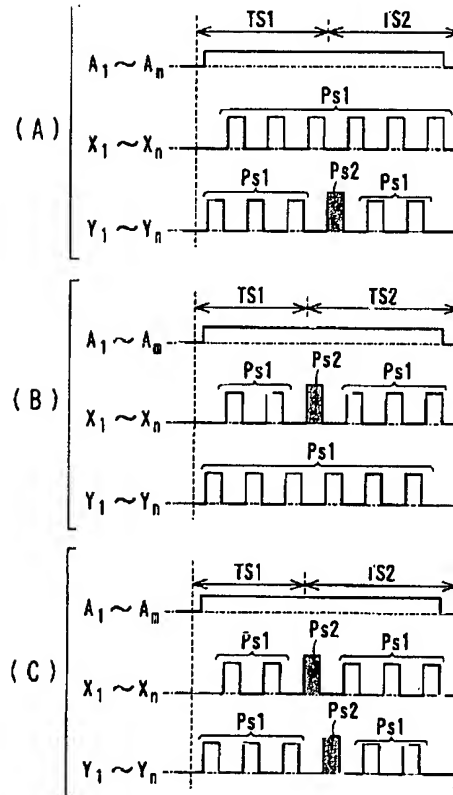
【図12】

サステイン回路の第2例を示す図



【 図 13 】

表示期間の印加電圧波形の変形例示図



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I
G 0 9 G 3/28

(参考)

K